

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-252408

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.<sup>5</sup>  
H01L 29/784

識別記号 庁内整理番号  
9168-4M

FI  
H01L 29/78 321 X

技術表示箇所

審査請求 有 請求項の数 6 OL (全 19 頁)

(21)出願番号 特願平5-33419

(22)出願日 平成5年(1993)2月23日

(71)出願人 000003997

日産自動車株式会社  
神奈川県横浜市神奈川区宝町2番地

(72)発明者 村上 善則

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(74)代理人 弁理士 中村 純之助 (外1名)

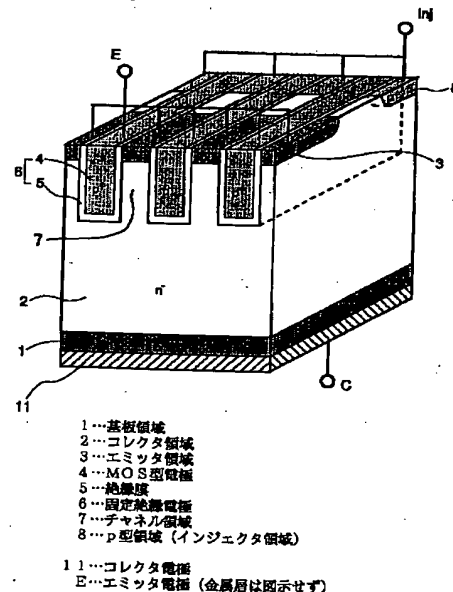
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】ノーマリ・オフ型で、制御性に優れ、オン抵抗の低いトランジスタを実現する。

【構成】基板であるコレクタ領域2の表面に同じ導電型のエミッタ領域3を設け、コレクタ領域2の一部と、前記エミッタ領域3とを挟み込むようにU字型の固定絶縁電極6を配置する。この固定絶縁電極6はエミッタ電極3と同電位に保たれていて、かつ隣接するコレクタ領域2に空乏層を形成する材料から成る。そしてこの空乏層によってエミッタ領域3とコレクタ領域2は電氣的に遮断されるように配設する。さらに、コレクタ領域2と固定絶縁電極6の絶縁膜5とに接し、エミッタ領域3には接しない反対導電型のインジェクタ領域8を設け、それに外部から任意に電位を設定できるようにしたものである。すなわち、このインジェクタ領域8の電位によって絶縁膜5界面の電位を操作したり、コレクタ領域2の伝導度を制御するものである。

(図1)



## 【特許請求の範囲】

【請求項1】コレクタ領域である一導電型の半導体基体の一主面に接して、同一導電型の島状のエミッタ領域を1個または複数個有し、

前記主面に、前記エミッタ領域を挟んで、溝を1個または複数個有し、

前記溝の内部には絶縁膜によって前記コレクタ領域と絶縁され、かつ、前記エミッタ領域と同電位に保たれた固定絶縁電極を有し、

前記固定絶縁電極は、前記絶縁膜を介して隣接する前記コレクタ領域に空乏領域を形成するような仕事関数の導電性材料から成り、

前記エミッタ領域に隣接する前記コレクタ領域の一部であって、前記固定絶縁電極によって挟み込まれたチャネル領域を有し、

さらに、前記固定絶縁電極を取り囲む前記絶縁膜ならびに前記コレクタ領域に接して、前記エミッタ領域には接しない、反対導電型のインジェクタ領域を有する半導体装置であって、

遮断時には、前記チャネル領域に、前記固定絶縁電極の周辺に形成される前記空乏領域によって多数キャリアに対するポテンシャル障壁が形成され、前記エミッタ領域と中性の前記コレクタ領域との間を電氣的に遮断し、

導通時には、前記インジェクタ領域に外部から所定の電位を印加することにより、前記インジェクタ領域が接する前記絶縁膜界面へ少数キャリアを導入して反転層を形成し、前記固定絶縁電極から前記チャネル領域への電界を遮蔽することによって前記チャネル領域内の前記ポテンシャル障壁を低下させて、前記エミッタ領域と前記コレクタ領域とを電氣的に導通させ、

さらには、前記インジェクタ領域から前記コレクタ領域へ少数キャリアが注入されることで前記コレクタ領域の伝導度を向上させる、ことを特徴とする半導体装置。

【請求項2】請求項1に記載の半導体装置において、前記溝の側壁が前記主面に対してほぼ垂直であって、前記チャネル領域において前記絶縁膜界面に沿った前記エミッタ領域から前記溝の底部までの距離、すなわちチャネル長が、前記チャネル領域において対面する前記絶縁膜間の距離、すなわちチャネル厚みの少なくとも2倍以上であることを特徴とする半導体装置。

【請求項3】請求項1または請求項2に記載の半導体装置において、前記エミッタ領域と、隣接する前記コレクタ領域との間に反対導電型のベース領域が介在することを特徴とする半導体装置。

【請求項4】請求項3に記載の半導体装置において、前記ベース領域が前記インジェクタ領域とつながっていることを特徴とする半導体装置。

【請求項5】請求項3または請求項4に記載の半導体装置において、前記ベース領域が前記固定絶縁電極を覆っていることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項5のいずれかに記載の半導体装置において、前記インジェクタ領域が前記主面から前記半導体基体内部に向かって、前記溝の底部よりも深い位置まで存在することを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バイポーラ型でノーマリ・オフ型の縦型パワー素子に関する。

【0002】

【従来の技術】本発明に関連した従来技術として、まず雑誌IEEEエレクトロニクス・デバイス・レターズに掲載されたトレンチ-j-MOSトランジスタ("Characteristicsof Trench j-MOS Power Transistors" BERNARD A. MacIVER, STEPHEN J. VALERI, KAILASH C. JAIN, JAMES C. ERSKINE, REBECCA ROSSEN, IEEE ELECTRONIC DEVICES LETTERS, VOL.10, NO.8, p.380-382, AUGUST 1989)を紹介する。図27～図29は、上記文献に記載されていた素子構造を示す図であり、図27は素子の表面構造図、図28および図29は、それぞれ図27中の線分A-A'ないし線分B-B'で切り出し、それぞれの矢印の方向に見た断面図である。

【0003】はじめに構造を説明する。半導体はシリコンである。図中、番号81は基板であるn<sup>+</sup>型ドレイン領域、82はn型のチャネル領域、83はn<sup>+</sup>型ソース領域である。84は絶縁膜、85は導電性多結晶シリコンからなるゲート電極、86は層間絶縁膜である。以下、84、85、86を併せて「絶縁ゲート」87と呼ぶことにする。絶縁ゲート87は基板の表面から側壁を垂直に掘り込まれた溝の内部に形成されており、底部はドレイン領域81に達している。88はp型領域で、チャネル領域中に形成され、絶縁ゲート87の近くに設けられている。93はソース電極である金属で、ソース領域83とオーミックコンタクトしている。95はゲート電極85にオーミックコンタクトする電極金属で、以下「MOSゲート」と呼ぶ。98はp型領域88とオーミックコンタクトする電極金属で、以下「接合ゲート」と呼ぶことにする。91はドレイン電極であり、ドレイン領域81とオーミックコンタクトする金属である。ドレイン電極91は上記の文献には明示されていなかったが、理解を容易にするために付加した。上記の文献に示された素子では、チャネル領域82の比抵抗は0.98Ω-cmで、これは不純物濃度にして約 $5 \times 10^{15} \text{ cm}^{-3}$ に相当する。図29中に示すチャネル長Lは6μm、チャネル厚みaは3μm、絶縁ゲート自身の厚みbは2μmである。

【0004】次に、この素子の動作を説明する。ドレイン電極91には正の電位が印加され、ソース電極93は接地(0V)される。この素子はMOSゲートと接合ゲートという2つの制御電極をもつ四端子素子である。また、両者を接続して三端子素子として使用することもで

きる。三端子素子として駆動した場合の電流・電圧特性を上記の文献から引用して図30に示す。図30には両ゲート電位を $-16 \sim 0$  Vまで、 $2$  V刻みで印加した時の特性曲線を示している。素子はノーマリ・オン型であり、ゲートの負電位が強いほど主電流は抑制される。また、四端子素子としての電流・電圧特性を、同じく前記文献から引用して図31に示す。これはMOSゲートの電位を固定し、接合ゲートの電位を変化させた場合の図である。同図にはMOSゲートに $+16$  Vを印加した場合と、 $-16$  Vを印加した場合を同時に示している。MOSゲートに正電位を印加した場合、非常に低いオン抵抗を示す。これは、図29の絶縁ゲート膜界面に誘起された蓄積層が、 $n$ 型ドレイン領域81と $n$ 型ソース領域83をつなぐ導電路となるからである。この時、接合ゲートの電位は、電流・電圧特性に顕著な影響は及ぼさない。MOSゲートに負電位を印加した場合、電流・電圧特性は接合ゲートに与える電位によって変化する。図31には接合ゲートに $-3.5 \sim 0$  Vまで、 $0.5$  V刻みで印加した時の特性曲線を示している。この状態における動作機構を簡単に説明する。まず接合ゲートが $0$  Vである場合、特性曲線の線形領域、すなわちドレイン電位が低い領域においては、MOSゲートに負電位を印加した時点で絶縁ゲート87近傍のチャネル領域82には空乏層が形成され、そこで発生した正孔によってゲート絶縁膜界面には反転層が形成される。反転層の存在はゲート電極からの電界を遮蔽する。そのために空乏層の広がり具合はJFETの場合と異なり、一定の範囲にとどまる。その値は、前述の文献におけるデータから換算すると片側約 $0.4 \mu\text{m}$ で、チャネル領域には差し引き $2 \mu\text{m}$ 程度の中性領域が残る。主電流はチャネル内に残った中性領域を流れる。そしてドレイン電位が高くなるとチャネル領域は通常の長チャネルJFETと同様ピンチオフ状態となり、電流値は飽和する。次に接合ゲートに負電位、すなわち逆バイアスを印加してゆくと、 $p$ 型領域88からの空乏層が、 $p$ 型領域88に近接する絶縁ゲートに到達する。すると絶縁膜界面の反転層の正孔の一部が $p$ 型領域88へと流れ、絶縁膜界面の電位は接合ゲートの電位に影響されるようになる。これによってチャネル領域の空乏領域は広がり、チャネル領域内の導電路は狭まって主電流が減少する。上記の文献によれば、この素子構造の主な利点は、四端子素子として使用したとき、(1) オン抵抗が低い、(2) 接合ゲートによる相互コンダクタンスが高い、(3) ブロッキング・ゲインが高い、(4) スイッチング速度が速い、(5) 三端子素子としても動作する、などである。

【0005】しかし、この素子には以下のような限界がある。まず、この素子構造は高耐圧化に適していない。先にも述べたように、この素子構造のオン抵抗が低い理由は、絶縁ゲートが $n$ 型のソース領域と $n$ 型の基板の両方に接しており、両者をゲート絶縁膜に沿って形成さ

れる蓄積層で連絡するためである。文献における素子の設計耐圧は $60$  Vであったが、この構造をより耐圧の高い素子に拡張しようとする、絶縁ゲートが $n$ +ドレイン領域に接しているこの構造は不可能になる。次に、この素子は本質的に四端子素子であり、必然的に駆動方法が煩雑になることを免れない。もちろん上述したごとく、接合ゲートとMOSゲートをつなぎ合わせて三端子素子として使うこともできるが、図30、図31を比較して見ればわかるように三端子モードでは、利点である低いオン抵抗を得られない。さらに、この素子はノーマリ・オン特性であり、制御信号を与えないときに主電流が流れてしまう。よって、この素子を使う装置は別途電流遮断装置を設けるなど、安全性を確保するために注意を払わなければならない。

【0006】次に、第2の従来例として、公開特許公報(特開昭57-172765号「静電誘導サイリス

タ」)に開示されたものを紹介する。図32に前記公開公報を参照して素子の断面図を示す。図32にはこの構造がU字型絶縁ゲートを応用した素子であることを理解しやすくするために、前記公開公報に記載されていた構造の3単位分を図示している。まず構造を説明する。図中、番号61は $p$ 型アノード領域、62は $n$ 型ベース領域、63は $n$ 型カソード領域、68は $p$ 型のゲート領域である。64は絶縁膜であり、前記 $n$ 型ベース領域62、 $n$ 型カソード領域63、 $p$ 型ゲート領域68に接している。71はアノード電極、73はカソード電極で、それぞれ $p$ 型アノード領域61、 $n$ 型カソード領域63とオーミックコンタクトしている。65はゲート電極で、 $p$ 型ゲート領域68とオーミックコンタクトしていると共に絶縁膜64とも接している。すなわち、この素子構造は「表面から掘り込まれた溝の中に絶縁ゲートが形成され、さらにその溝の底部においてゲート電極65が $p$ 型ゲート領域68とつながっている」、という構造をなしている。また $n$ 型ベース領域62のうち、隣合う絶縁ゲートに挟まれた領域を「チャネル領域」と呼ぶことにする。

【0007】次に動作を説明する。カソード電極73は接地( $0$  V)にされ、アノード電極71には正の電位が印加される。素子のオフ状態は、ゲート電極65に負電位を印加し、カソード領域前面のチャネル領域に空乏層を形成することによって保たれる。すなわち、この素子も第1の従来例と同様、ノーマリ・オン特性の素子である。素子をオン状態に転ずるには、ゲート電極65に正の電位を印加する。すると、ベース領域中の空乏層は消失して電流路が開くとともに、絶縁ゲートの界面には電子による蓄積層が瞬時に形成され、カソード領域前面のポテンシャルを下げ、素子のターン・オンを促進する。この効果を得るためには、絶縁ゲートと主電流経路との距離はキャリアの拡散長以内であることが望ましい。また、この蓄積層は導電率が高いので、ゲート電流が素早

く流れるという利点もあり、ターン・オン時間は、この機構を持たない静電誘導サイリスタより速くなる。ひとたび、ターン・オンすれば、ゲート電位を解除してもオン状態は持続する。また、ターン・オフはゲート電極に負電位を印加し、ベース領域62内の少数キャリアを吸い出し、再びベース領域内に空乏層を形成することで達成する。

【0008】この素子の利点は、通常の静電誘導サイリスタに接合ゲートと連動した絶縁ゲートを付加したことにより、(1)ターン・オン時には絶縁ゲート界面に蓄積層が形成されることでターン・オン時間が短くなる、(2)ターン・オフ時には絶縁膜近傍に空乏層が形成されて電流をピンチオフしやすくなるのでターン・オフ時間も短くなる、などである。

【0009】しかし、上記の素子構造には以下のような困難点がある。まず、第1にノーマリ・オン型デバイスであること。第2に、基本的にサイリスタなので制御電極に積極的に遮断信号を与えなければ、素子をオフできない。さらに第3に図32の構造では溝の中にゲート絶縁膜を形成し、さらにその底部にp+型ゲート領域とのコンタクト穴を形成しなければならない。素子に十分なブロッキング・ゲインを持たせるためには、絶縁ゲートを形成する溝の深さは数 $\mu\text{m}$ 必要であるが、溝の幅を図32に示すよりも遥かに広く取ったとしても、このような凹凸の底部にコンタクト穴を形成することは難しい。特に電流容量を増やすために、パターンを微細化しようとする、平凡なフォトリソ・エッチング技術では困難になってくる。

【0010】最後に第3の従来例として、U字型IGBTを紹介する。これは、例えばIEEEトランザクション・オン・エレクトロン・デバイスズ(“500-V n-Channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure”, H. R. CHANG, B. JAYANT, BALIGA, IEEE TRANSACTION ON ELECTRON DEVICES, VOL.36, NO.9, SEPTEMBER 1989)に記載されている。図33は上記従来例の断面構造図である。まず構造を説明する。図中、40はp+型コレクタ領域、41はn型ドリフト領域、42はp型ベース領域、43はn+型エミッタ領域、48はp+型のコンタクト領域である。また、44は絶縁膜、45は導電性多結晶半導体からなるゲート電極、46は層間絶縁膜である。以下、これら44、45、46を併せて「絶縁ゲート」47と呼ぶことにする。絶縁ゲート47は基板の表面から側壁を垂直に掘り込まれた溝の内部に形成されており、底部はn型ドリフト領域41に達している。50はコレクタ電極となる金属膜で、p+コレクタ領域40とオーミックコンタクトしている。53はエミッタ電極となる金属膜で、n+型エミッタ領域43ならびにp+型コンタクト領域48とオーミックコンタクトしている。なお図33中で、絶縁ゲート近傍に破線で示した領域chはチャンネルである。

【0011】次に動作を説明する。エミッタ電極53は接地(0V)にされ、コレクタ電極50には正の電位が印加される。この素子構造はノーマリ・オフ構造で、ゲート電極が0Vの状態ではチャンネルが閉じていて主電流は流れない。素子をオン状態に転ずるには、ゲート電極に然るべき正の電位を印加して、絶縁ゲート界面に伝導電子による反転層を形成してチャンネルchを開き、n+型エミッタ領域43からnドリフト領域41へ電子を流す。すると、p+型コレクタ領域40からもn型ドリフト領域41へ正孔が注入される。そして、耐圧を保持するために不純物濃度を低くつくられていたn型ドリフト領域41は伝導度変調され、低い抵抗で主電流が流れるようになる。ドリフト領域42に注入された正孔はドリフト領域内で対消滅するか、もしくはp型ベース領域からp+型コンタクト領域を通してエミッタ電極へと流れる。素子をオフ状態に転ずるにはゲート電位を0Vにすればよい。するとチャンネルchが閉じ、電子電流の供給が止まるのでp+型コレクタ領域からの正孔の注入も止み、電流は流れなくなる。この素子の利点は、(1)ノーマリ・オフ特性をもち、前述の二つの従来例よりは取扱上の安全性を確保できる、(2)基本的な駆動に負電源を必要としない、(3)電圧制御型デバイスであり、入力インピーダンスが高い、(4)電流容量を増やすためのパターンの微細化を阻む構造的要因がない、などである。

【0012】しかし、この素子にも以下のような限界がある。まず、図33を見ると、この構造は、p+型コレクタ構造40、n型ドリフト領域41、p型ベース領域42、n+型エミッタ領域43により、pnpnサイリスタを寄生素子として持つ。すなわち通常はゲート電位の変化に連動して主電流量が変化するが、急激なコレクタ電位の変化や正孔の過剰供給が発生すると、この寄生サイリスタが作動して、ゲート電極は制御能力を失う可能性がある。また、この素子構造は主電流経路に順バイアスのpn接合を有するので、コレクタ電位が0.7V以下では電流が流れない。すなわち、低オン抵抗化に原理的な限界を持っている。このことは、前記図32に示した第2の従来例の構造においても同様である。

【0013】

【発明が解決しようとする課題】上記のように、第1の従来例では、極めて低いオン抵抗が得られるが、チップを大容量化・高耐圧化できないという欠点を持っている。また、第2の従来例では、高耐圧化には問題ないが、大容量化するための微細化に適さない構造である、という問題がある。また、第3の従来例では、電圧制御型であり、ノーマリ・オフ特性を持つという利点を有するが、寄生素子の存在によって電流制御能力を失うおそれがある、という問題を有している。さらに第2、第3の従来例では、素子の構造上、低オン抵抗化に限界がある、という問題もある。

【0014】本発明は、上記のような従来技術の問題点を解決し、ノーマリ・オフ型で、制御性に優れ、オン抵抗の低いトランジスタを実現することを目的としている。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明においては特許請求の範囲に記載するような構成をとる。すなわち、請求項1に記載の発明においては、基板であるコレクタ領域（例えばn型）の表面に同じ導電型のエミッタ領域を設け、さらに例えばU字型をした固定絶縁電極を、同じ導電型のエミッタ領域を挟み込むように配置する。この固定絶縁電極間がチャンネル領域となる。この固定絶縁電極はエミッタ電極と同電位に保たれていて、かつ隣接するコレクタ領域ならびにチャンネル領域に空乏層を形成するような仕事関数の材料、例えばp型多結晶半導体からなるものである。さらに、コレクタ領域と固定絶縁電極の絶縁膜とに接し、エミッタ領域には接しない反対導電型のインジェクタ領域を設けた。すなわち、デバイスの遮断時は、固定絶縁電極のつくる空乏層によってチャンネル領域内に多数キャリア（ここでは伝導電子）に対するポテンシャル障壁が形成され、エミッタ領域とコレクタ領域とは電氣的に遮断される。また導通時には、外部からインジェクタ領域に適当な所定の電圧を印加し、インジェクタ領域が接している固定絶縁電極の絶縁膜界面に少数キャリア（ここでは正孔）を導入して反転層を形成させることで、固定絶縁電極のp型多結晶半導体からn型のチャンネル領域への電界を遮蔽して空乏層を後退させることで、多数キャリアに対するポテンシャル障壁を取り払ってチャンネルを開く。さらにはインジェクタ領域からコレクタ領域へ正孔を注入することで、コレクタ領域の伝導度を向上させるものである。なお、上記のコレクタ領域は、例えば後記図2におけるコレクタ領域2に相当し、同じくエミッタ領域はエミッタ領域3に、固定絶縁電極は固定絶縁電極6に相当する。また、上記インジェクタ領域は、例えば後記図4におけるp型領域8に相当する。

【0016】また、請求項2に記載の発明においては、上記請求項1に記載の発明において、チャンネル長をチャンネル厚みの2倍以上に設定したものである。なお、チャンネル長とは、チャンネル領域において固定絶縁電極の絶縁膜に沿ってエミッタ領域から固定絶縁電極の底部までの距離であり、チャンネル厚みとは、チャンネル領域において対面する絶縁膜間の距離である。この装置は、遮断時において、コレクタからの電界効果がチャンネル領域内に影響し、多数キャリアに対するポテンシャル障壁を低めることによって主電流がリークする、という事態を生じないようにしたものである。

【0017】また、請求項3に記載の発明においては、上記請求項1または請求項2に記載の発明において、固定絶縁電極に挟まれたコレクタ領域とエミッタ領域の間

に反対導電型（例えばp型）のベース領域を設けたものである。この装置は、電子に対するポテンシャルバリアである上記ベース領域のポテンシャルを、請求項1の場合のような空乏層ではなくp型領域と絶縁膜界面によって操作するものである。この場合、ベース領域とインジェクタ領域とはつながっていてもいなくてもよい。また、固定絶縁電極の先端はコレクタ領域に接していても、ベース領域の内部にあっても構わない。なお、上記ベース領域は、例えば、後記図10のp型ベース領域9に相当する。また、請求項4に記載の発明は、請求項3に記載の発明において、ベース領域がインジェクタ領域とつながっているものである。また、請求項5に記載の発明は、請求項3または請求項4に記載の発明において、ベース領域が固定絶縁電極を覆った形状をしたものであり、例えば、後記図11の実施例に相当する。また、請求項6に記載の発明は、請求項1乃至請求項5のいずれかに記載の発明において、インジェクタ領域が固定絶縁電極よりも深い位置まで存在する形状にしたものであり、例えば後記図4の実施例に相当する。

【0018】

【作用】エミッタ電位に固定されている固定絶縁電極の周辺のチャンネル領域には、固定絶縁電極材料との仕事関数差によって空乏層が形成され、これによってチャンネル領域は空乏化されてエミッタ領域とコレクタ領域とは電氣的に遮断されている。また、固定絶縁電極はコレクタ電位が上昇しても、コレクタ電界でチャンネルが開かないような構造となっている。すなわち素子構造は初めから遮断状態である。

【0019】しかし、コレクタ領域内の空乏層から励起される少数キャリアは、絶縁膜界面に溜って、そのままではチャンネル領域の空乏層を後退させて主電流がリークしてしまうが、チャンネル領域とは反対導電型のインジェクタ領域が絶縁膜界面と接し、さらにインジェクタ領域に任意の電位を与えるための外部電極（以下“注入電極”と呼ぶ）ともオーミックコンタクトしているので、注入電極が接地状態の時には、絶縁膜界面の少数キャリアは注入電極に流れ出ること、絶縁膜界面の電位は上昇せず、素子は遮断状態を保つ。一方、注入電極に正電位を印加すると、逆に少数キャリアが絶縁膜界面に流れ込んで界面の電位を上昇させ、空乏層が後退してチャンネル中央部に中性領域が現われて電流が流れる。さらに注入電位が所定値以上になると、インジェクタ領域とチャンネル領域によるpn接合が順バイアスされ、少数キャリアがチャンネル領域ならびにコレクタ領域に注入されて伝導度変調されるために、主電流は低いオン抵抗で流れることになる。この時、絶縁膜界面は導電路としてチャンネル領域全体に少数キャリア電流を運ぶ働きをする。ターン・オフするためには、注入電極の電位を接地もしくは逆電位にする。本発明においては、素子構造が微細であり、チャンネル領域の電位が直接に注入電極電位と連動す

る機構になっていることから、単体バイポーラトランジスタよりも大きな $h_{FE}$ を期待することができる。そしてオン抵抗が低く、少ないベース電流で多くの主電流を制御することができる。

【0020】

【実施例】以下、本発明を実施例によって詳細に説明する。図1～図4は、本発明の第1の実施例である。図1は素子の基本構造を説明するための斜視図、図2は図1の前面と同じ部分を示す断面図、図3は素子の表面図で、この図3と上記の図1においては表面の電極（金属膜）を除いた様子を示している。すなわち、図3は図2中の線分A-A'を含んで紙面に垂直に切った断面を示す。逆に図2は図3中の線分A-A'を通して紙面に垂直な平面で切った断面図である。また、図4は図3中の線分B-B'を通して紙面に垂直な平面で切った断面図であり、図2の場合と同様に、図4における線分B-B'で切った断面図が図3に相当する。なお、この実施例では半導体をシリコンとして説明する。次に、素子の構造を説明する。まず図1～図4中において、1は基板であるn+型基板領域、2はn型コレクタ領域、3はn+型エミッタ領域である。また、4はMOS型電極であり、高濃度のp型多結晶半導体からなり、かつ後述するエミッタ電極とオーミックコンタクトして、電位が固定されている。また、5はMOS型電極4とコレクタ領域2とを絶縁する絶縁膜である。この4と5を併せて「固定絶縁電極」6と呼ぶことにする。この固定絶縁電極6は、素子表面から側壁が垂直に掘られた溝の中に形成されている。n型コレクタ領域2のうち、この固定絶縁電極6に挟まれた領域を「チャンネル領域」7と呼ぶことにする。このチャンネル領域7は、絶縁膜5を介して隣接するMOS型電極4が高濃度のp型半導体であるため、仕事関数差によって形成された空乏層によって、チャンネル領域には伝導電子に対するポテンシャル障壁が形成されていて、エミッタ領域3とコレクタ領域2とは初めから電気的に遮断された状態となっている。また、11はコレクタ電極であり、n+型基板領域1とオーミックコンタクトしている。13はエミッタ電極であり、エミッタ領域3とMOS型電極4にオーミックコンタクトしている。すなわち、MOS型電極4の電位はエミッタ電極13の電位に固定されている。また図中、Hをチャネル厚み、Lをチャネル長と呼ぶ。

【0021】次に、図3において、この実施例では固定絶縁電極6はストライプ状をしており、その両端はp型領域8（インジェクタ領域）に接している。このように「固定絶縁電極6とp型領域8に囲まれたチャンネル領域7」は、ひとつの単位セルを形成しており、図3にはこのセル4単位分が示されている。なお、「チャンネルの状態によって電流を遮断、もしくは電流量を制御しよう」という条件を満たしていれば、単位セルを構成する固定絶縁電極6の形状、エミッタ領域3の形状などは任意で

ある。

【0022】次に、図4において、番号18はp型領域8とオーミックコンタクトした電極であり、コレクタ領域2へ少数キャリアを供給する。これを「注入電極」と呼ぶことにする。なお、図中の破線は固定絶縁電極6の存在を示す。また、15は層間絶縁膜である。なお、本願の図面においては、断面図における固定絶縁電極の絶縁膜の角部および表面図における絶縁膜の角部は角張って描いてあるが、これらは模式図であり、実際には丸みを帯びていてもよい。すなわち、電界集中を抑制するためにこれら角部に丸みを持たせることは、広く一般に採用されていることである。

【0023】次に、動作を説明する。この素子では、エミッタ電極13は接地（0V）、コレクタ電極11には正の電位を印加する。まず、遮断状態について説明する。注入電極18が接地状態の時、素子は遮断状態である。先にも述べたように、MOS型電極4が高濃度のp型半導体からできていて、かつエミッタ電極電位に固定されていることから、固定絶縁電極6の周辺には空乏層が形成され、チャンネル領域7は空乏化されてエミッタ領域3とコレクタ領域2は電気的に遮断されている構造になっている。通常、このようなMOSダイオード的な構造では、空乏層を広げるべく電圧を印加してもコレクタ領域中の空乏層で発生したキャリアが絶縁膜界面に溜って反転層を形成し、空乏層は広がらずに絶縁膜界面の電位が上昇する。しかし、この構造ではその絶縁膜5が、接地されたp型領域8に接しているため、空乏層で発生したキャリアは絶縁膜5の界面に到達するが、すぐにp型領域8を通して素子の外に排除される。すなわち、絶縁膜界面の電位は上昇せずに固定されていて、空乏層はコレクタ電位にしたがって広がる。このデバイスがノーマリ・オフ構造を持つためにチャンネルの構造が満たさなければならない条件が2つある。まず、その1つはチャネル厚みと不純物濃度との関係である。図5は図2中のチャンネル領域の中央付近である線分C-C'に沿ったチャンネル領域のポテンシャル分布を計算した図である。図5の縦軸はフェルミ準位を基準としたエネルギーバンドの中心のポテンシャルである。以下、「フェルミ準位を基準としたエネルギーバンドの中心のポテンシャル」を単に「ポテンシャル」と呼ぶことにする。ここでは、MOS型電極4のビルドインポテンシャルを0.6 eVとし、絶縁膜は二酸化珪素で、厚さは100 nmとして計算した。また、両端の破線は、絶縁膜中の電位分布を示す補助線である。また、中央部の一点鎖線はチャンネル領域7の半導体の中性状態におけるポテンシャルの位置である。図5において、注入電極電位 $V_i$ が0Vの状態では、チャンネルの全域はポテンシャルが正であり、チャンネル領域には伝導電子は存在しない。この条件を満たすために、チャンネル領域の不純物濃度 $N_0$ 、チャネル厚みH、絶縁膜厚 $t_{ox}$ は次の式を満たさなければならない。

【0024】まず、MOS型電極4の持つビルドインポテンシャルをP、チャンネル領域の半導体の絶縁膜との界面のポテンシャルをQとすると、絶縁膜中の電界強度 $E_{ox}$ は一定であり、下記(数1)式で示される。

【0025】

【数1】

$$E_{ox} = \frac{P-Q}{t_{ox}} \quad \dots (数1)$$

【0026】一方、チャンネル領域は遮断状態では全域が空乏化しているので、その電位分布 $V_{ch}$ は下記(数2)式のような2次曲線ではば近似することが出来る。

【0027】

【数2】

$$V_{ch} = \frac{q N_D}{2 \epsilon_{si}} x^2 + R \quad \dots (数2)$$

【0028】ただし、上記(数2)式において、qは単位電荷、 $\epsilon_{si}$ はチャンネル領域の半導体の誘電率、xはチャンネルのC-C'断面の中央、すなわち図5の横軸の中央から絶縁膜方向に測った距離、Rはポテンシャルの最低点である。また、チャンネル領域と絶縁膜の界面のポテンシャルQは、下記(数3)式で示される。

【0029】

【数3】

$$Q = \frac{q N_D}{2 \epsilon_{si}} (H/2)^2 + R \quad \dots (数3)$$

【0030】また、この点における電界 $E_{si}$ は、下記(数4)式で示される。

【0031】

【数4】

$$E_{si} = \frac{q N_D}{\epsilon_{si}} (H/2) \quad \dots (数4)$$

【0032】さらに、界面では電束が一致していなければならないから、下記(数5)式を満足しなければならない。

$$\epsilon_{ox} E_{ox} = \epsilon_{si} E_{si} \quad \dots (数5)$$

MOS型電極4のビルドインポテンシャルを0.6 eV、チャンネル領域のポテンシャルの最小値Rを、制御信号のノイズなどで簡単にチャンネルが開かないように0.3 eVとし、前記の(数1)式～(数5)式を満足するようなチャンネル領域の不純物濃度 $N_D$ 、絶縁膜厚 $t_{ox}$ 、チャンネル厚みHの関係を示したものが図6である。なお、図6では、絶縁膜厚 $t_{ox}$ が50 nmの場合と100 nmの場合の曲線を示してあるが、各線の左下の領域がこのデバイスの満たすべき条件となる。例えば、上記2つの絶縁膜厚の何れの場合でも、不純物濃度 $N_D = 1 \times 10^{14} / \text{cm}^3$ 、チャンネル厚み $H = 2 \mu\text{m}$ は適当な条件

である。

【0033】次に、デバイスがノーマリ・オフ特性を持つための2つの目の条件として、チャンネル厚みHとチャンネル長Lが満たさなければならない条件がある。図7は、チャンネル領域のポテンシャル分布を数値計算した結果である。ベースとなる平面は、図2のチャンネル領域のエミッタ界面側からチャンネル中央部を眺めたものであり、縦軸はポテンシャルを示している。図7においては、等ポテンシャル線を示しているが、図の手前にあるエミッタ領域(図示せず)の影響によってチャンネル領域のポテンシャルが引き下げられている様子が判る。また、側面は絶縁膜との界面であり、図の奥の面は図2の線分C-C'に一致していて、そこにおけるポテンシャル分布はエミッタ領域の影響を受けておらず、図5の $V_i = 0$ の曲線と同等のものとなっている。図6の条件を満足する何点かの設定で同様の数値計算を行なった結果、チャンネル領域のエミッタ端部におけるポテンシャル低下の影響は、チャンネル長方向にほぼチャンネル厚みの1～1.5倍のところまでに止まることが判った。一方、チャンネル領域のコレクタ領域に面している部分において、コレクタ電界によってチャンネルポテンシャルが引き下げられる影響もほぼこれと同様であるとして、チャンネルがノーマリ・オフ特性、すなわちコレクタ電界が上昇してもその影響でチャンネルが開かないための条件は、(チャンネル長L)/(チャンネル厚みH)の比が2～3以上であることになる。例えば、チャンネルの不純物濃度が $1 \times 10^{14} / \text{cm}^3$ 、すなわち比抵抗が約40  $\Omega \cdot \text{cm}$ であり、絶縁膜厚が10 nm以下である場合、チャンネル厚みHを2  $\mu\text{m}$ とすれば、チャンネル長は6  $\mu\text{m}$ あれば十分である。

【0034】次に、遮断状態から導通状態に転じる機構について説明する。前記の図5において、注入電極電位 $V_i = 0 \text{ V}$ の時は、チャンネル領域7のC-C'断面全域のポテンシャルが正であり、チャンネル領域は遮断状態である。注入電極電位 $V_i$ が上昇して0.3 Vまでになると、チャンネル領域の中央部にポテンシャルが負の領域ができ、伝導電子が流れ得る状態となる。このように注入電極の電位を上げるとチャンネル領域のポテンシャルが低下する理由は、注入電極にオーミックコンタクトしたp型領域8の電位が上昇することで、p型領域8が接している絶縁膜5の界面に少数キャリアが供給され、これが固定絶縁電極6のMOS型電極4からチャンネル領域への電界を遮蔽するために、チャンネル領域の空乏層が後退するためである。さらに注入電位が0.5 eV以上になると、ポテンシャルもこの一点鎖線より低くなって、チャンネル領域7内のバンドの形状は平坦になってゆく。これはn型コレクタ領域2とp型領域8との間の接合が順バイアス状態になり、コレクタ領域全域が高水準注入状態になるためである。このとき、正孔は直接にp型領域8から注入されるほか、絶縁膜5の界面からもコレクタ領

域2へ供給される。すなわち、この条件において絶縁膜界面は伝導度の高い導電路として正孔電流を運ぶ働きをする。この段階になると、コレクタ電流の制御は注入電極電位よりは注入電流に注目した方が理解しやすい。すなわち、コレクタ領域2に注入される正孔電流量によってコレクタ領域2の導電率が制御され、コレクタ電流量が制御される。

【0035】次に、導通状態から遮断状態に転ずる機構を説明する。ターン・オフするためには、注入電極18の電位を接地(0Vに)、もしくは負電位にする。するとコレクタ領域2およびチャンネル領域7に大量に存在していた正孔は消滅するか、もしくはp型領域8を通して素子外に排除され、再びチャンネル領域が空乏層で満たされるようになる。この機構は、例えば静電誘導サイリスタのターンオフ機構と同様である。ところで、図4ではp型領域8の深さは固定絶縁電極6よりも深く描かれている。このような構成であれば、注入電極に負電位を印加してターン・オフを速く行なうことができる。しかし、p型領域8の深さが固定絶縁電極6より浅くても、デバイスとしては機能する。

【0036】このデバイスの電流電圧特性は、ほぼ単体バイポーラトランジスタの特性に類似して5極管特性となる。コレクタ電流は、注入電極からの電流があれば低いコレクタ電位でも十分な電流が流れる。コレクタ電位が大きくなると、固定絶縁電極からコレクタ領域へ伸びた空乏層により、電流はピンチオフされて電流値は飽和する。また、注入した正孔電流によってコレクタ電流が決まることから、バイポーラトランジスタと同様の $h_{FE}$ (直流電流増幅率)を定義することができる。この素子では、素子構造が微細であり、チャンネル領域の電位が直接注入電極電位と連動する機構になっていることから、単体バイポーラトランジスタよりも大きな $h_{FE}$ を期待することができる。

【0037】次に、図12～図17は、図1～図4に示した第1の実施例の製造方法の一例を示す斜視図である。まず、図12のように、基板領域1であるn+型基板の表面にn型コレクタ領域2がエピタキシャル成長によって形成されている。さらにその表面にエミッタ領域3となるn+型領域と、注入領域8となるp+型領域を形成する。なお、理解をしやすいように、ここではp+型領域8の深さは固定絶縁電極6よりも浅くなるように描いている。次に、図13のように、表面にマスク材100を形成し、固定絶縁電極用の溝を形成するためのパターンを形成する。これを異方性ドライエッチングによってエッチングし、図14のような側壁がほぼ垂直な溝を掘る。溝の深さは、溝同志の間隔の2～3倍またはそれ以上とする。溝の断面形状、すなわち固定絶縁電極の形状は、図2或いは図14などには側壁をほぼ垂直にしたU字型の形状を例示しているが、先に示したノーマリ・オフのためのチャンネルの条件を満たしていれば、断

面形状は樽型、くさび型、菱形などをしていてもよい。また、溝も垂直でなく斜めに掘込まれたものでも構わないし、可能であれば固定絶縁電極は完全に基板の中に埋設されたものでもよい。

【0038】また、表面パターンもチャンネルの遮断条件を満たしていれば、必ずしもチャンネルの厚みが至るところ均一でなくてもよいし、溝の幅も均一である必要はない。

【0039】次に、図15のように、溝の内壁を酸化して絶縁膜5を形成し、MOS型電極4となる高濃度のp型ポリシリコンを堆積させる。次に、図16のように、溝の中にのみp型ポリシリコンが残るようにエッチングする。次に、図17のように、マスク材100を除去し、層間絶縁膜と電極を形成して図1～図4の構造を得る。なお、注入電極電位が遮断状態のときコレクタ電界によってチャンネルが開かないという条件を満たすならば、固定絶縁電極6はエミッタ電極13と同じ金属によって形成しても構わない。

【0040】次に、図18～図20は別の製造方法を示す断面図である。これはチャンネル厚みHを、より微細に形成する方法である。なお、図では説明に関係する表面領域のみ示している。前述した図13の工程のマスク材100として薄い酸化膜101、窒化珪素膜102、CVD酸化膜103の三層膜を用い、図18のように、まずCVD酸化膜103と窒化珪素102をパターニングする。次に、等方性エッチングによって窒化珪素のみをエッチングし、図19のような形状とする。その後CVD酸化膜103を除去し、残った窒化珪素膜102をマスクとして図20のようにシリコン基板に溝を形成する。この方法によれば、例えばフォトパターニングの限界が4 $\mu$ mであったとしても、図19の工程で窒化珪素膜を1 $\mu$ mサイドエッチングすれば、チャンネル幅Hを2 $\mu$ mとすることができる。この方法の利点は、チャンネル構造をより小さく造ることができることであり、チャンネル厚みHが小さければ、チャンネル長Lをより小さくすることが出来る。この方法の利点としては、(1)固定絶縁電極6のためのトレンチの深さが浅くできて、工程が簡単になる、(2)チャンネル長が短くなるので、それだけオン抵抗が低くなる、(3)絶縁膜の表面積が小さくなるので $h_{FE}$ が上昇する、などが挙げられる。

【0041】次に、図21～図24は、さらに別の製造方法を示す断面図である。これは素子特性をより向上させるための製造方法である。前記図18の状態からLOCOS酸化を施して図21のようにマスク材の下にバースピーク(くちばし状の形状)を形成する。この後に異方性ドライエッチングで厚い酸化膜をエッチングし、そのまま基板を異方性エッチングして図22の状態とする。この間、図19の工程は実施してもしなくてもよい。次に、前記図14～16の工程を実施し、マスク材103、102、101を除去し、図23のように薄い



酸化膜であるマスク材101の下の基板を露出させる。この上にポリシリコン膜14を形成し、n型不純物をイオン注入した後、ポリシリコンをパターニングして図24のようにp型ポリシリコンを露出させる。そしてこれを軽くアニールすると、ポリシリコン膜14に接していた基板領域にエミッタ領域3が形成され、図24のような形状となる。この方法の利点は、(1)バースピークのみだけエミッタサイズを小さく形成できる、(2)エミッタ領域3と固定絶縁電極6との間に間隔ができることにより、キャリア対消滅を抑制できる、(3)いわゆるポリシリコン・エミッタ構造であることにより、少数キャリアがエミッタに注入されるのを抑制することで、より少ない注入電流でコレクタ電流を制御できるようにする、などである。

【0042】次に、図8は、前記図3とは別の表面構造の実施例図である。この実施例と図3との相違点は、単位セルを構成する固定絶縁電極6が「コ」の字型をしていることである。このような構造とすることにより、図3では2つに分かれていた注入電極は、1つで済むようになる。次に、図9は、さらに別の表面構造の実施例図である。この場合、図9のパターン全体が「セル」ということになる。なお、図中の単位セルは孤立して描かれているが、複数連結して存在していても構わない。

【0043】次に、図10は本発明の第2の実施例を示す断面図である。この実施例ではチャンネル領域にバイポーラトランジスタのベース領域に相当するp型領域9が存在する。p型領域9の不純物濃度は通常のバイポーラトランジスタのベース領域よりもはるかに低くてよい。例えば $10^{16} \text{ cm}^{-3}$ 程度の濃度である。不純物濃度が低くても固定絶縁電極6に挟まれているために、強いコレクタ電界に対して遮断特性を保持できる。なお、p型領域9はp型の注入領域8と接続していても、いなくてもよい。いずれにしても、絶縁膜5の界面を伝って注入領域8とp型領域9の間でキャリアの移動が可能である。また、この素子が高い $h_{FE}$ が得られることは、第1の実施例と同様である。この構造では固定絶縁電極6の周辺は正孔による蓄積層が形成されていて導電率が低く、注入電極18から注入された正孔を効率よくチャンネル領域へ運ぶことができる。すなわち、固定絶縁電極6は、通常のバイポーラトランジスタにおけるベース電極に相当し、これがエミッタ領域と非常に近接していることから高い $h_{FE}$ が期待される。なお、この構造において、固定絶縁電極6の底部がn型コレクタ領域2に接していることは本質的なことではない。したがって図11のようにベース領域となるp型領域9が固定絶縁電極6を覆いつくしていても構わない。しかし、この場合は、いわゆるベース長が長くなるので、素子の電気特性は影響を受ける。

【0044】次に、本発明のデバイスの周辺部について説明する。例えば図3に示すような固定絶縁電極6の角

部は電界が集中しやすく、実際に製造した場合には多少丸みを帯びた角になるとしても、素子耐圧を低下させる一因となり得る。しかし、本構造においては、固定絶縁電極同志が僅かなチャンネル厚みHを隔てて隣り合っており、お互いにかかる電界を分担することから、電界集中は殆ど無視できる。それでも例えば図3のようなストライプ状のセルをチップに敷き詰めた場合、最も外側では固定絶縁電極6の側面がむき出しになり、その部分の角部は強い電界に晒されることになる。これを防ぐためには、図25に示すように、曲率半径の大きなp型領域10を設けるのが一般的である。なお、図25中のp型領域10は、例えばチップのガードリングの一番内側のリングであり、かつ注入電極とつながるp型領域8と同じものである。しかし、この方法は、この素子の場合には、あまりふさわしくない。何故なら導通状態のとき、p型領域10に近いチャンネル領域7は、これから離れた所よりも正孔の供給が多くなり、局所的に導電率の不均在が生じ、電流密度の不均在を招くためである。これを回避するためには、図26のようなパターンを用いる。図26はチップの角の部の表面パターンを示したものである。図26において、p型領域8は注入電極18に接続されたものである。3はエミッタ領域で、これが存在する部分がチップの活性領域である。固定絶縁電極6は絶縁膜5を省略して描いてある。図26に示すように、ストライプ状に並んだ固定絶縁電極6の一番外側に当たるものの側面に、歯状の枝がある。この枝の部分はセル部分と同じ構造になっていて、違うところはエミッタ領域3を持たないことである。枝の終端部はp型領域8の中にあり、全体として電界の集中するような「孤立した固定絶縁電極の角部」が存在しないような形状になっている。また、Dは図3におけると同様、エミッタ領域3とp型領域8との距離である。枝の部分の距離D'はDとほぼ同じ距離で構わない。また、図25のようにp型領域10が固定絶縁電極6の側面に隣接している構成を取ると、p型領域10の大きさが何らかの理由で設計変更になった場合にマスクパターンをつくり直さなければならない。すなわち、固定絶縁電極6とp型領域8との距離が小さすぎれば耐圧緩和機構としての役割を果たさなくなるし、逆に大きすぎれば最も近いチャンネル領域7の不純物濃度に影響を与えて、素子の電気特性を不安定なものにしてしまう。しかし、図26のような構造にすれば、距離DおよびD'を余裕をもって設計しておけば、p型領域8の形状が多少変更になっても問題は生じない。なお、以上の説明では、基板はすべてn型半導体として説明したが、全ての不純物のタイプが逆であっても、この構造は機能する。

【0045】次に、本発明と従来例との相違についてまとめて説明する。まず、本発明と第1の従来例(図27~30)との違いであるが、第1の従来例では、絶縁電極(MOSゲート95)の電位は可変であり、絶縁電極

電位を正にすることで絶縁膜界面に電子の蓄積層を形成して低いチャネル抵抗を実現するなどのように、絶縁電極を制御電極として用いている。一方、本発明では、絶縁電極（固定絶縁電極6）はエミッタ電位に固定されており、基本的に制御電極ではない。この点が決定的に異なっている。

【0046】また、第1の従来例では、ノーマリ・オン型デバイスであり、主電流を遮断するためには、積極的に接合ゲート98ならびにMOSゲート95に負電位を印加しなければならなかった。しかし、本発明の装置はノーマリ・オフ型デバイスであり、それ以外では有り得ない。したがってオフ状態を保つためには、注入制御用の電極18は、エミッタ領域3と同電位、すなわち接地電位で構わない。

【0047】また、本発明においては、インジェクタ領域8が絶縁膜5の界面に接していることが必須であり、これによって絶縁膜5界面の電位を注入制御用の電極18の電位によって積極的にコントロールする。これに対して第1の従来例における接合ゲート98は、デバイスのオン状態には何ら寄与していない。第1の従来例の文献に記載されている限りでは、p型領域88は絶縁膜84と離れており、たとえ接合ゲート98の電位を正にしても、それによって絶縁膜界面の状況を制御することは出来ない。

【0048】そして本発明のデバイスのオン状態は、インジェクタ領域からの少数キャリアを供給することによってチャネルを開き、またコレクタ領域ならびにチャネル領域の伝導度を変調する。これに対して第1の従来例においては、たとえ接合ゲート98に正電位を与え、少数キャリアの注入を行なっても、モノポーラの主電流を低オン抵抗で流すために不純物を濃く含んだチャネル領域82の伝導度には、殆ど影響を与えることが出来ない。このように第1の従来例がモノポーラデバイスであるのに対し、本発明がバイポーラデバイスである点も明確に異なっている。次に、第2の従来例（図32）との相違を説明する。

【0049】第2の従来例では、制御電極であるp型領域（p+ゲート領域68）は絶縁電極（ゲート電極65）の存在する溝の底部に有り、かつ、その底部で絶縁電極とオーミックコンタクトしている。この第2の従来例も、前記第1の従来例と同様に、絶縁電極の電位が可変であることが本発明と本質的に異なっている。さらにp型領域の位置が異なり、絶縁電極の電位と連動している点も異なる。勿論、表面構造以外に、第2の従来例においてはp+型アノード領域61からn-型ベース領域62へ注入される少数キャリアによって高抵抗のn-型ベース領域62の伝導度を変調して低オン抵抗を実現しているのに対し、本発明では陰極側（エミッタ側）の表面にある主電流経路とは別のp型領域8から少数キャリアを注入して高抵抗のコレクタ領域1を伝導度変調してい

る点も明確に異なっている。

【0050】次に、第3の従来例（図33）との相違を説明する。

【0051】第3の従来例は、本発明の第2の実施例に一旦似かよっているが、第3の従来例においては、絶縁電極（ゲート電極45）が電位可変な制御電極であり、接合領域（p型ベース領域42）の電位が固定されているのに対し、本発明では、逆に、接合領域（p型領域8）が電位可変の制御電極であり、絶縁電極（MOS型電極4）の電位が固定されていることが明確に異なる。さらに、第3の従来例では、主電流経路が絶縁膜界面の電子による反転層であるのに対し、本発明の第2の実施例では、チャネル中央部もしくはチャネル全域である点が異なる。また、第3の従来例では、その伝導度変調機構が前記第2の従来例と同様であり、本発明とは明確に異なっている。

【0052】上記のように、第2、第3の従来例では、主電流経路にpn接合を有しているため、主電流端子間の電圧がほぼ0.7V以上にならないと、十分な電流が流れないという特性が有る。しかし、本発明のデバイスでは、そのようなpn接合がないので、さらに低い電圧でも十分な電流を流すことが出来る。

【0053】

【発明の効果】以上説明したように本発明によれば、次のような効果が得られる。

- (1) ノーマリ・オフ特性をもつ。
- (2) 電流制御型の三端子素子である。
- (3) オン抵抗が低い。
- (4) 少ない制御電流で大きな主電流を制御できる。
- (5) 微細化・高耐圧化に適した構造である。
- (6) 寄生素子を持たない。
- (7) 従来のLSI製造技術のみで実現が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の斜視図。

【図2】本発明の第1の実施例の断面図。

【図3】本発明の第1の実施例における表面構造を示す断面図。

【図4】本発明の第1の実施例の他の角度から見た断面図。

【図5】第1の実施例におけるチャネル領域のポテンシャル分布図。

【図6】チャネル領域の不純物濃度、絶縁膜厚およびチャネル厚みの関係を示す図。

【図7】チャネル領域のポテンシャル分布図。

【図8】本発明の第1の実施例における他の表面構造を示す断面図。

【図9】本発明の第1の実施例における他の表面構造を示す断面図。

【図10】本発明の第2の実施例の断面図。

【図11】本発明の第2の実施例の変形を示す断面図。

【図12】本発明の第1の実施例の製造工程の一部を示す断面図。

【図13】本発明の第1の実施例の製造工程の他の一部を示す断面図。

【図14】本発明の第1の実施例の製造工程の他の一部を示す断面図。

【図15】本発明の第1の実施例の製造工程の他の一部を示す断面図。

【図16】本発明の第1の実施例の製造工程の他の一部を示す断面図。

【図17】本発明の第1の実施例の製造工程の他の一部を示す断面図。

【図18】本発明の実施例の他の製造工程の一部を示す断面図。

【図19】本発明の実施例の他の製造工程の他の一部を示す断面図。

【図20】本発明の実施例の他の製造工程の他の一部を示す断面図。

【図21】本発明の実施例のさらに他の製造工程の一部を示す断面図。

【図22】本発明の実施例のさらに他の製造工程の他の一部を示す断面図。

【図23】本発明の実施例のさらに他の製造工程の他の一部を示す断面図。

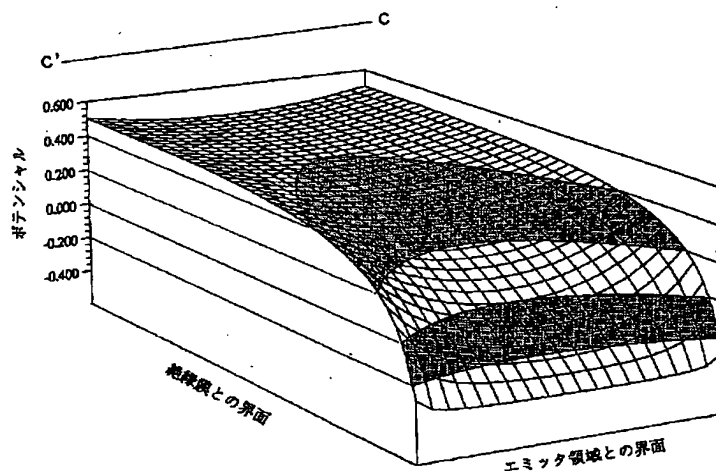
【図24】本発明の実施例のさらに他の製造工程の他の一部を示す断面図。

【図25】本発明の素子のチップにおける周辺構造の一例の断面図。

【図26】本発明の素子のチップにおける周辺構造の他の一例の断面図。

\* 30

【図7】



\* 【図27】第1の従来例の平面図。

【図28】第1の従来例の断面図。

【図29】第1の従来例の他の断面図。

【図30】第1の従来例を三端子素子として動作させた場合の電流電圧特性図。

【図31】第1の従来例を四端子素子として動作させた場合の電流電圧特性図。

【図32】第2の従来例の断面図。

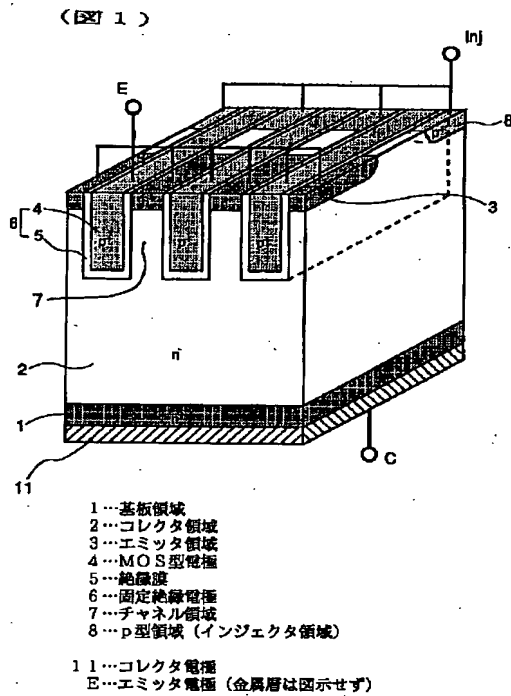
【図33】第3の従来例の断面図。

10 【符号の説明】

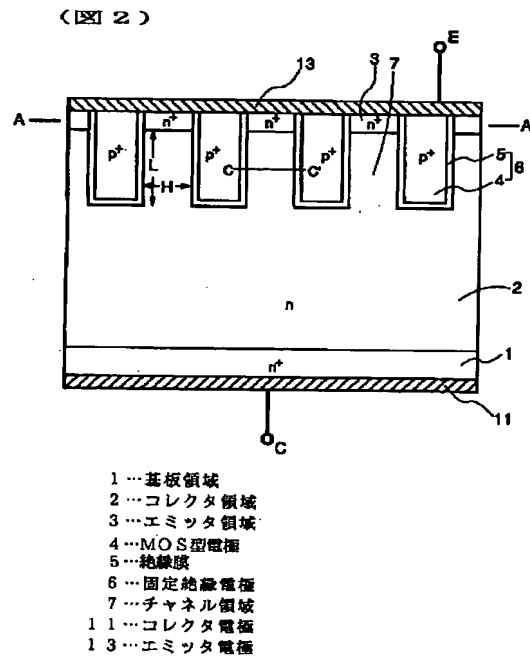
1…基板領域	10…p型領域
領域	
2…コレクタ領域	11…コレクタ電極
3…エミッタ領域	13…エミッタ電極
4…MOS型電極	14…ポリシリコン膜
5…絶縁膜	15…層間絶縁膜
6…固定絶縁電極	100…マスク材
7…チャネル領域	101…薄い酸化膜
8…p型領域（インジェクタ領域）	102…窒化珪素膜
9…p型領域（ベース領域）	103…CVD酸化膜
18…注入電極	

(図7)

【図1】

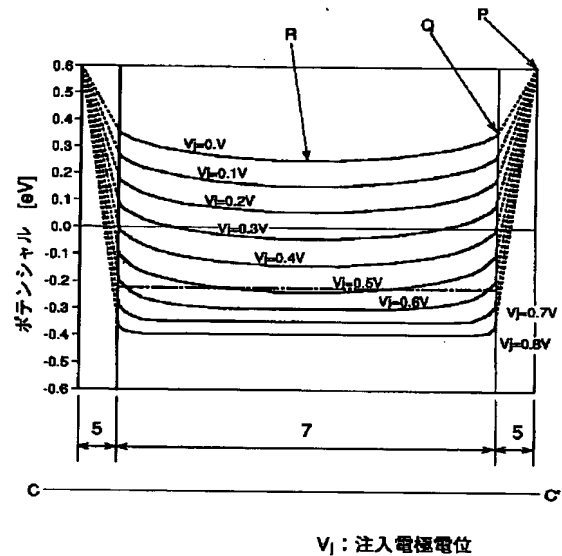


【図2】

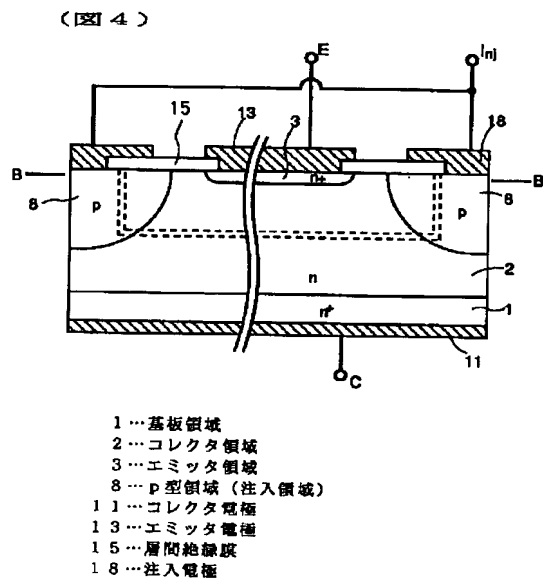


【図5】

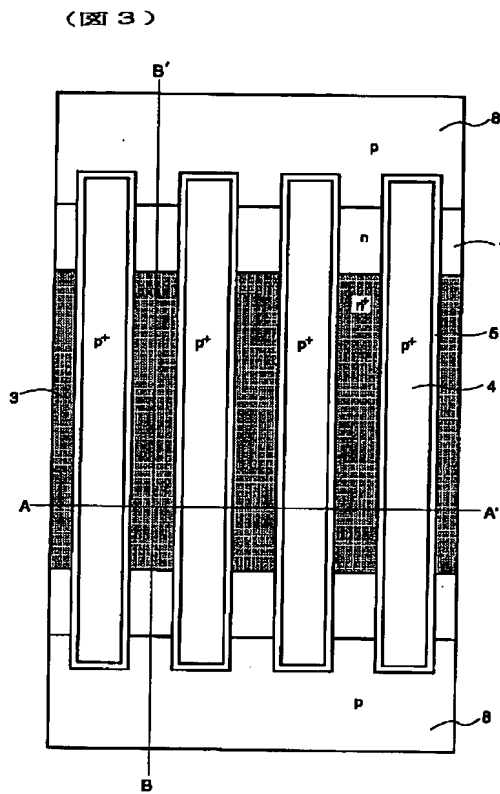
(図5)



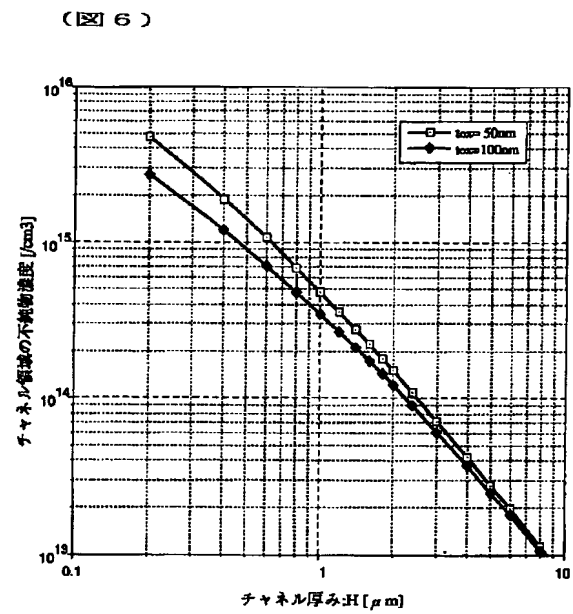
【図4】



【図3】

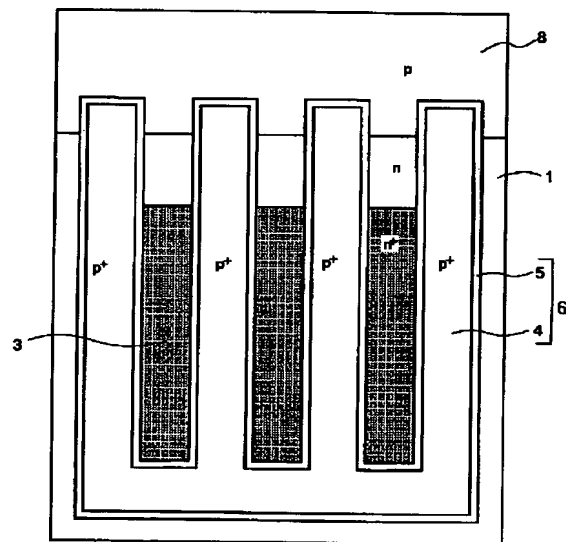


【図6】



【図8】

(図8)

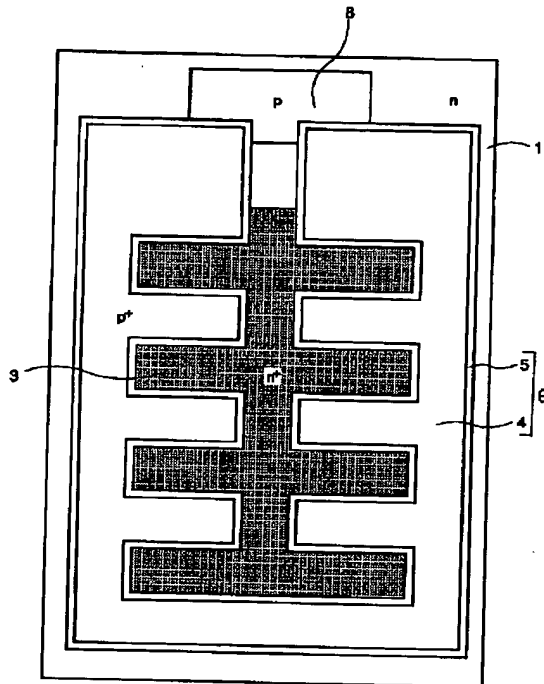


- 1…基板領域
- 3…エミッタ領域
- 4…MOS型電極
- 5…絶縁膜
- 6…固定絶縁電極
- 8…p型領域(注入領域)

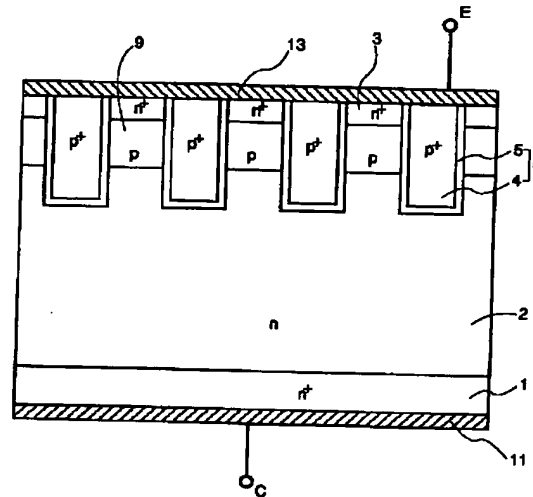
【図9】

【図10】

(圖 9)



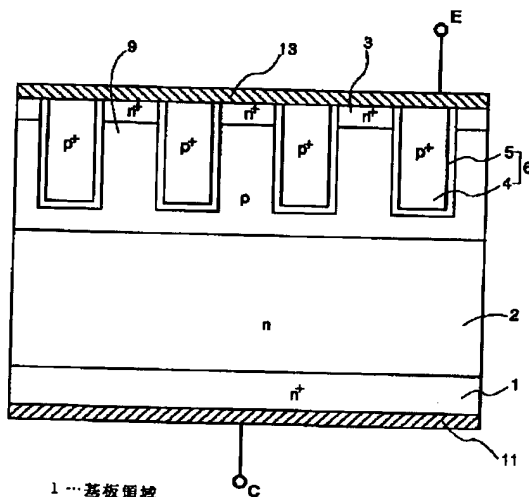
( 10 )



- 1…基板領域
- 2…コレクタ領域
- 3…エミッタ領域
- 4…MOS型電極
- 5…絶縁膜
- 6…固定絶縁電極
- 9…ベース領域
- I 1…コレクタ電極
- 1 3…エミッタ電極

【圖 1 1】

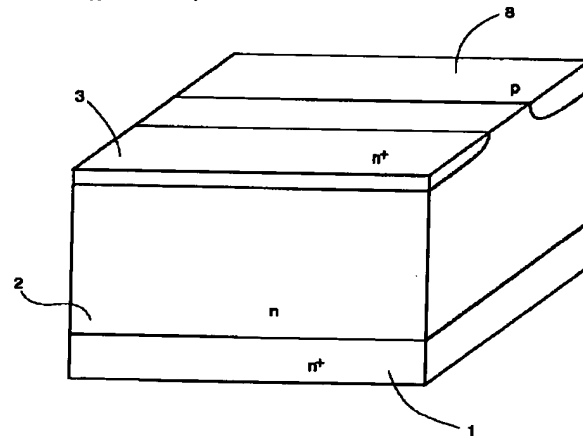
( ☒ 1 1 )



- 1…基板領域
- 2…コレクタ領域
- 3…エミッタ領域
- 4…MOS型電極
- 5…絶縁膜
- 6…固定絶縁電極
- 8…ベース領域
- 11…コレクタ電極
- 13…エミッタ電極

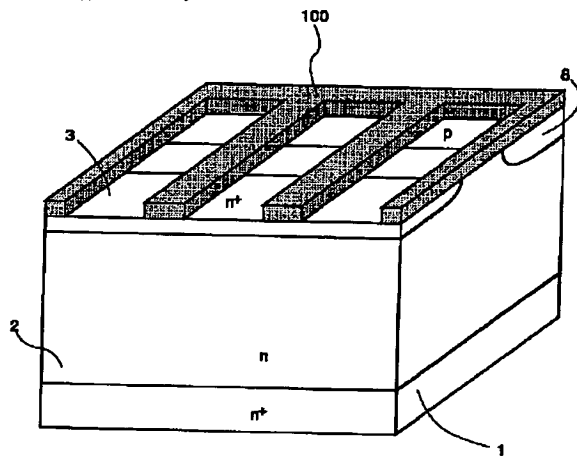
【図 12】

( 1 2 )



【図13】

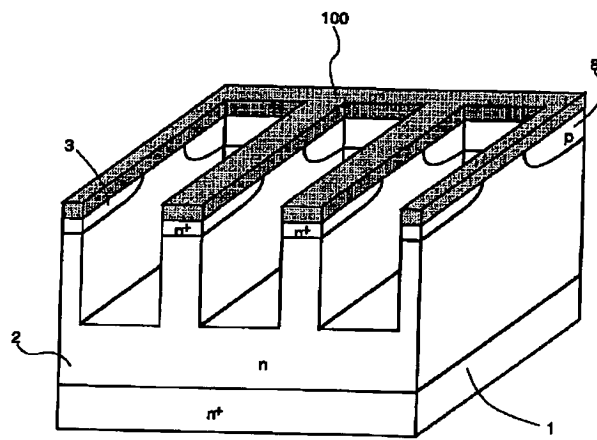
(図13)



100...マスク材

【図14】

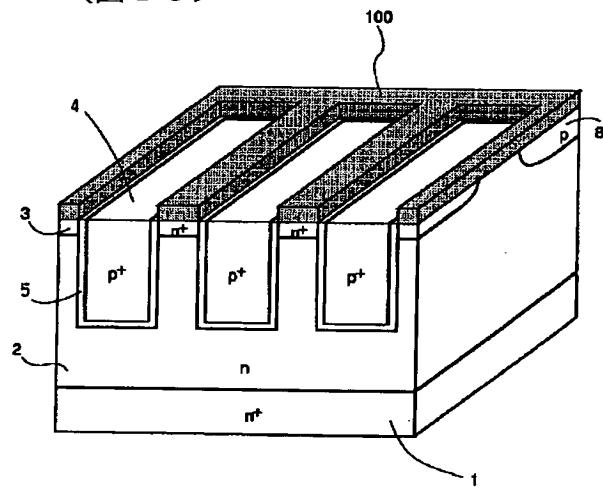
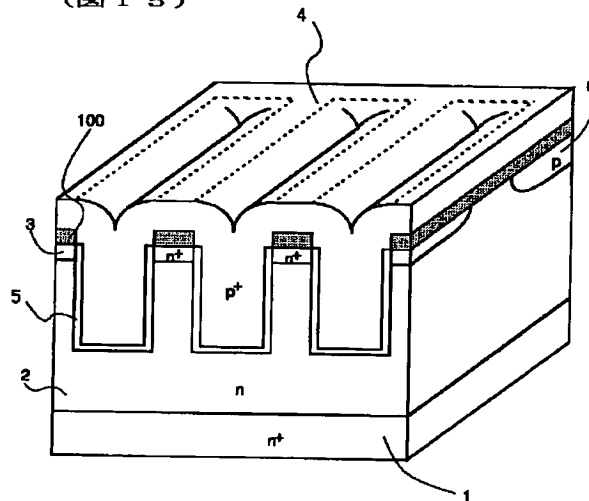
(図14)



【図16】

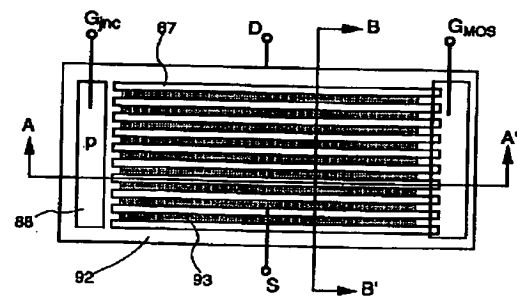
(図16)

(図15)



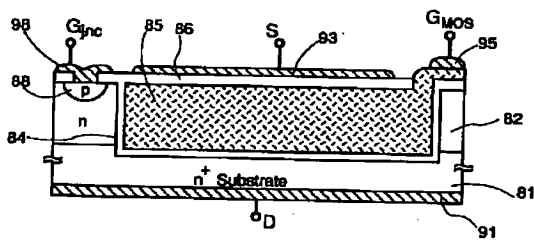
【図27】

(図27)

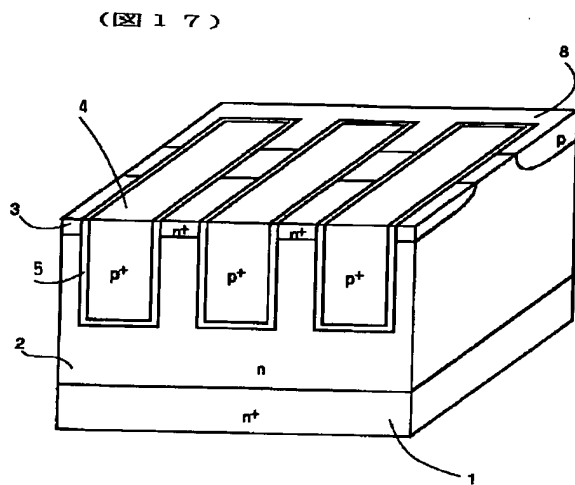


【図28】

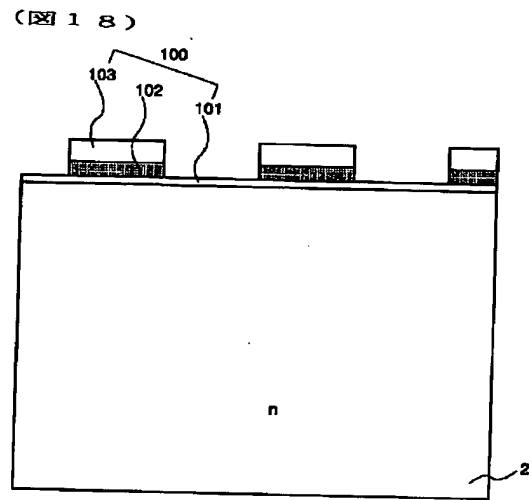
(図28)



【図17】

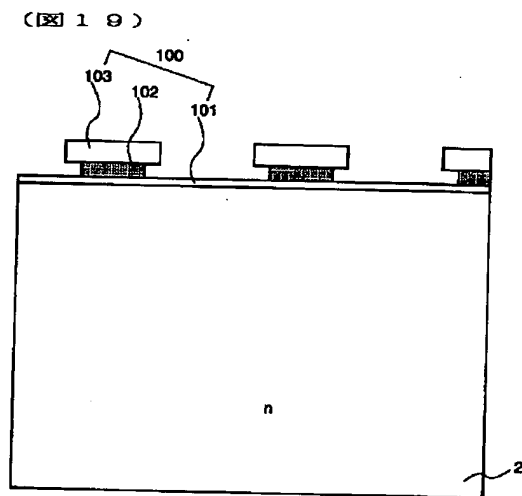


【図18】

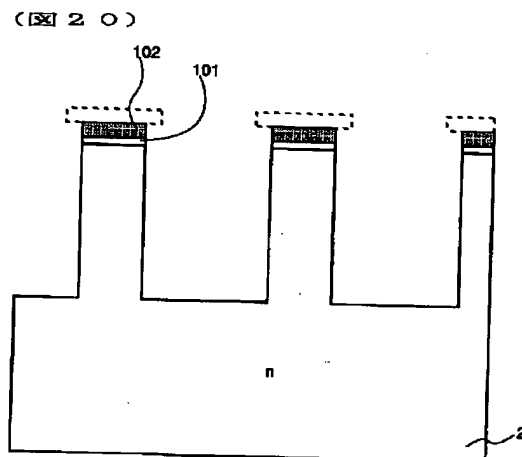


100...マスク材  
101...薄い酸化膜  
102...窒化珪素膜  
103...CVD酸化膜

【図19】



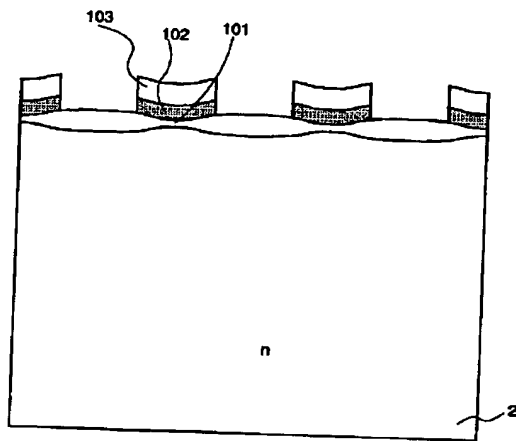
【図20】





【図21】

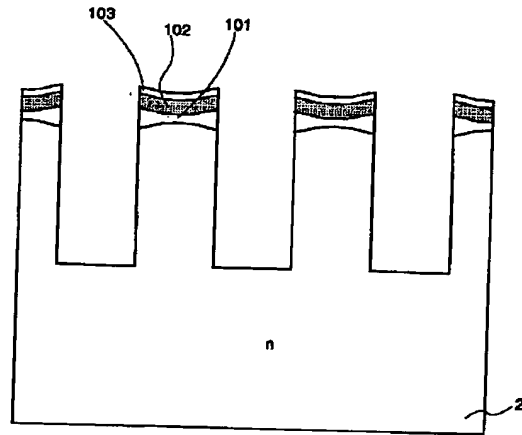
(図21)



101…薄い酸化膜  
102…窒化珪素膜  
103…CVD酸化膜

【図22】

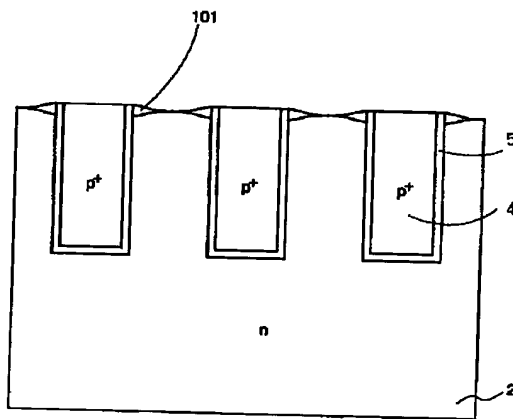
(図22)



101…薄い酸化膜  
102…窒化珪素膜  
103…CVD酸化膜

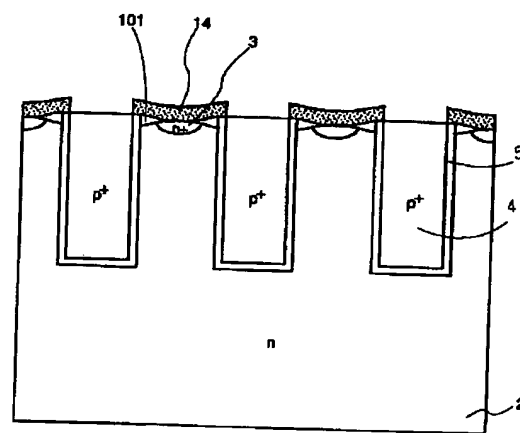
【図23】

(図23)



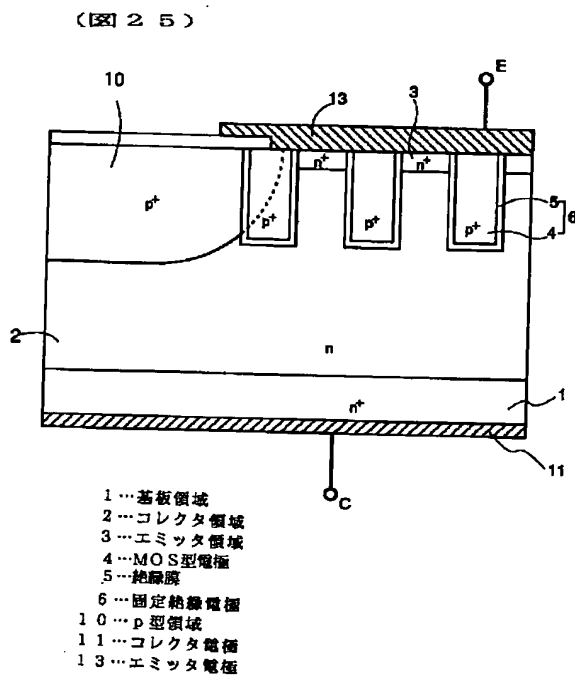
【図24】

(図24)

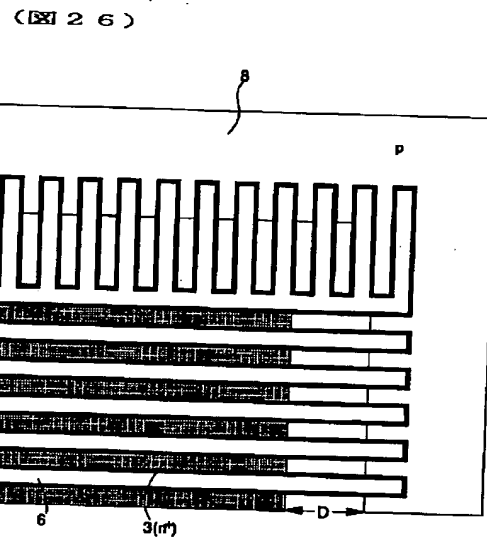


14…ポリシリコン膜

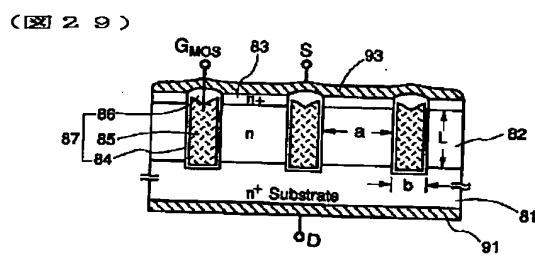
【図25】



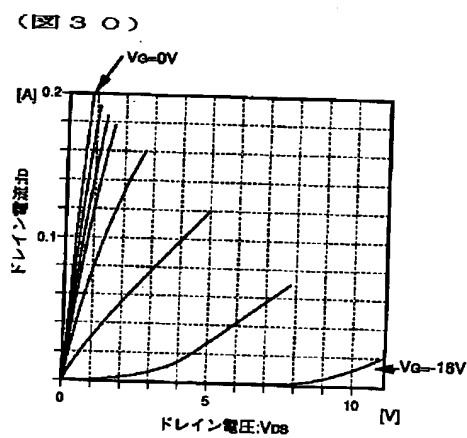
【図26】



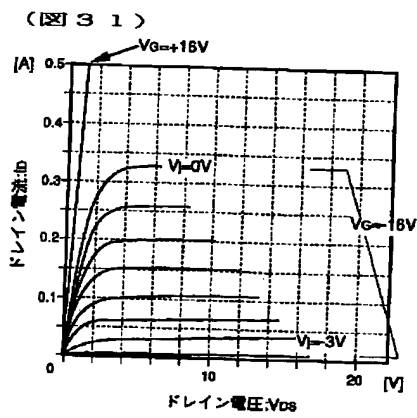
【図29】



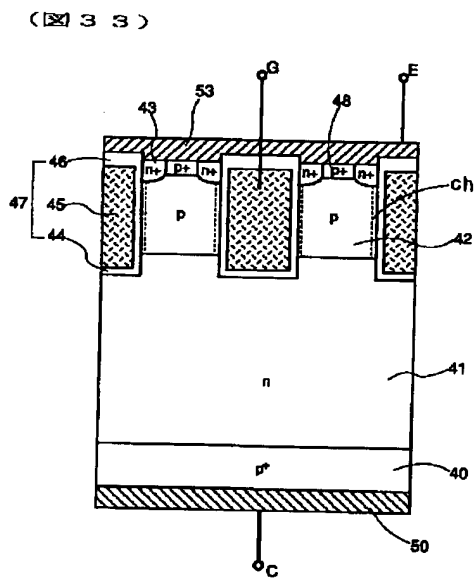
【図30】



【図31】

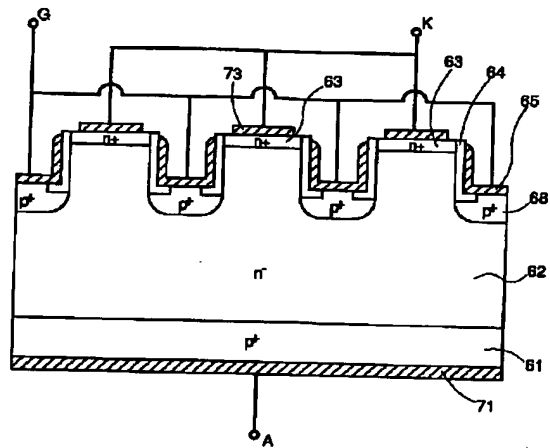


【図33】



【図32】

(図32)



(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06252408 A**(43) Date of publication of application: **09 . 09 . 94**

(51) Int. Cl.

**H01L 29/784**(21) Application number: **05033419**(71) Applicant: **NISSAN MOTOR CO LTD**(22) Date of filing: **23 . 02 . 93**(72) Inventor: **MURAKAMI YOSHINORI****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To obtain a normally OFF type transistor having an excellent controllability and a low ON-resistance.

**CONSTITUTION:** An emitter region 3, having the same conductivity type as that of a collector region 2, is provided on the surface of the collector region 2 which is a substrate, and a U-shaped fixed insulating electrode 6 is arranged in such a manner that a part of the collector region 2 and the emitter region 3 are pinched. This fixed insulating electrode 6 is maintained in the same potential as the emitter electrode 3, and it is composed of the material with which a depletion layer is formed on the adjacent collector region 2. The emitter region 3 and the collector region 2 are electrically cut off by the above-mentioned depletion layer. Besides, an opposite conductivity type injector region 8, which comes in contact with the collector region 2 and the insulating film 5 of the fixed insulating electrode 6 and does not come in contact with the emitter region 3, is provided in such a manner that optical electric potential can be provided from outside. To be more precise, the potential of the interface of the insulating film 5 is controlled by the potential of the above-mentioned injector region 8, and the

conductivity of the collector region is also controlled by the potential of the injector region 8.

**COPYRIGHT:** (C)1994,JPO&Japio

